

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004 年 5 月 21 日 (21.05.2004)

PCT

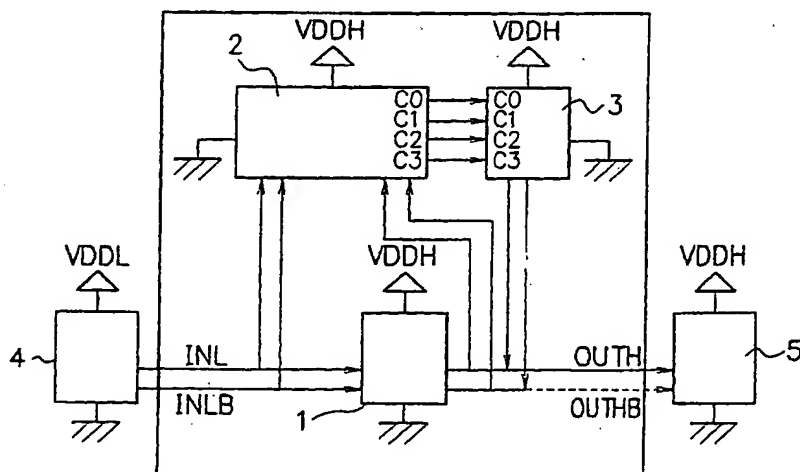
(10) 国際公開番号  
WO 2004/042923 A1

- (51) 国際特許分類<sup>7</sup>: H03K 19/0185 (72) 発明者; および  
(21) 国際出願番号: PCT/JP2003/014107 (75) 発明者/出願人 (米国についてのみ): 野村 昌弘 (NO-MURA, Masahiro) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).  
(22) 国際出願日: 2003 年 11 月 5 日 (05.11.2003)  
(25) 国際出願の言語: 日本語 (74) 代理人: 丸山 隆夫 (MARUYAMA, Takao); 〒170-0013 東京都豊島区東池袋2-38-23 SAMビル3階 丸山特許事務所内 Tokyo (JP).  
(26) 国際公開の言語: 日本語  
(30) 優先権データ: 特願2002-323082 2002 年 11 月 6 日 (06.11.2002) JP  
(71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 Tokyo (JP).  
(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SK, SL, TJ, TM,

[続葉有]

(54) Title: LEVEL CONVERSION CIRCUIT

(54) 発明の名称: レベル変換回路



(57) Abstract: A level conversion circuit in which operational margin of level conversion is prevented from deteriorating when the potential difference between a first power supply and a second power supply is large. The level conversion circuit for converting the signal level of a first logic circuit being fed from the first power supply into the signal level of a second logic circuit being fed from the second power supply, characterized in that a pull-up and/or pull-down circuit where the level conversion core output of a level conversion core circuit is fed from the second power supply are provided, and an arrangement for controlling the pull-up and/or pull-down circuit through a control circuit being fed from the second power supply and receiving a level conversion input signal and a level conversion output signal is provided.

(57) 要約: 第1の電源と第2の電源の電位差が大きい場合のレベル変換動作マージンの悪化を低減したレベル変換回路の提供。 第1の電源が供給される第1の論理回路の信号レ

[続葉有]